

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

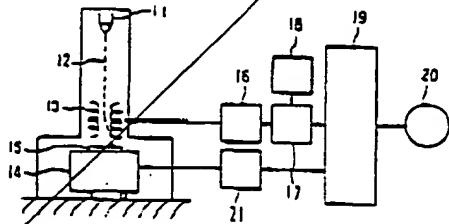
As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.

## (54) LITHOGRAPHY AND DEVICE THEREOF

(11) 2-27714 (A) (43) 30.1.1990 (19) JP  
 (21) Appl. No. 63-177157 (22) 18.7.1988  
 (71) HITACHI LTD (72) OSAMU SUGA(2)  
 (51) Int. Cl. H01L21/027

**PURPOSE:** To prevent heat generation due to the continuation of shots by obviating the spatial adjoining of shots continuing with time in each molding electron-ray shot executed by a variable molding type electron-ray lithographic device.

**CONSTITUTION:** An electron beam 12 emitted from electron rays 11 is deflected by a beam deflection system 13, and shot onto the surface of a sample 15 on a movable sample base 14, and a desired graphic is drawn and processed while the shots are connected successively. Each shot continuing with time is not made to adjoin spatially at that time. Consequently, shots to the sample 15 are not continued spatially, thus preventing the heat generation of the sample 15 due to the continuation of the shots. Accordingly, a fine drawing pattern can be formed without increasing the drawing time.

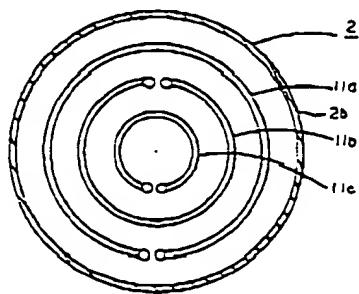


## (54) HEATING STAGE FOR VAPOR GROWTH DEVICE

(11) 2-27715 (A) (43) 30.1.1990 (19) JP  
 (21) Appl. No. 63-177504 (22) 15.7.1988  
 (71) MITSUBISHI ELECTRIC CORP (72) TORU YAMAGUCHI  
 (51) Int. Cl. H01L21/205, H01L21/31

**PURPOSE:** To form a film produced by reaction having a uniform thickness on a work by concentrically disposing a plurality of heaters in a heating stage and controlling the quantity of transmission over the work base surface of the heating stage at each heater.

**CONSTITUTION:** An outer heater 11a, an intermediate heater 11b and an inner heater 11c are arranged concentrically into a heating stage body 2. The temperatures of each heater can be controlled respectively independently. Consequently, the quantity of transmission over the work base surface of the heating stage can be controlled at every heater, thus heating the work base surface in response to desired temperature distribution. Accordingly, a film produced by reaction having a uniform thickness can be formed on a work.

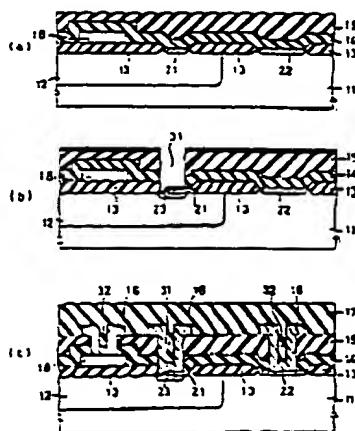


## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 2-27716 (A) (43) 30.1.1990 (19) JP  
 (21) Appl. No. 63-176723 (22) 15.7.1988  
 (71) TOSHIBA CORP (72) TADASHI MATSUNOU(3)  
 (51) Int. Cl. H01L21/28//H01L27/092

**PURPOSE:** To prevent a diffusion into a region having different characteristics of an impurity when doping with the impurity is performed through a SAC(Self-Aligned-Contact) technique by separately boring contact holes to an N-type diffusion layer and a P-type diffusion layer, not simultaneously.

**CONSTITUTION:** A well-shaped diffusion layer 12 having a conductivity type opposite to an N-type substrate 11 is formed onto the substrate 11, and an inter-element isolation region 13 and a wiring 18 are shaped. An N-type impurity diffusion layer 21 is formed into the substrate 11 while a P-type impurity diffusion layer 22 is shaped by implanting fluorine ions. An inter-layer insulating film 14 and an insulating film 15 containing an impurity in high concentration for a reflow at a low temperature are formed. A first contact hole 31 is bored to the N-type diffusion layer 12, and ions are implanted through the opening, thus shaping an N-type diffusion layer 23 by SAC. A second contact hole 32 is bored to the P-type diffusion layer 22 and the wiring 18, a wiring material is deposited on the whole surface, and a wiring 16 is formed through patterning. The first contact hole 31 is clogged by a mask member for shaping the second contact hole 32 at that time.



## ⑪ 公開特許公報 (A) 平2-27716

⑫ Int. Cl.<sup>8</sup>  
H 01 L 21/28  
// H 01 L 27/092

識別記号 廷内整理番号  
L 7738-5F

⑬ 公開 平成2年(1990)1月30日

7735-5F H 01 L 27/08 321 F  
審査請求 有 請求項の数 2 (全8頁)

## ⑭ 発明の名称 半導体装置の製造方法

⑮ 特願 昭63-176723

⑯ 出願 昭63(1988)7月15日

⑰ 発明者 松能 正 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑰ 発明者 柴田 英毅 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑰ 発明者 橋本 一彦 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑰ 発明者 佐々木 寿代 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑰ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地  
⑰ 代理人 弁理士 鈴江 武彦 外2名

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) 第1導電型の半導体基板内に少なくともN型拡散層と、P型拡散層とを有する半導体装置の製造方法において、該N型拡散層および該P型拡散層の一方に対する開孔工程が、他方の拡散層に対する開孔より前に行われることを特徴とする半導体装置の製造方法。

(2) 該N型拡散層に対する開孔後、および該P型拡散層に対する開孔後のいずれか一方、あるいは双方に対して夫々凹型の不純物ドーピングと、熱処理工程を行うことを特徴とする請求項1記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

## 【発明の目的】

(産業上の利用分野)

この発明は、半導体装置における配線間の接続に関するもので、特にN型およびP型の拡散層に

至る開孔工程を含む半導体装置の製造方法に関する。

## (従来技術)

従来技術では、半導体基板内にN型およびP型の拡散層を形成した後、層間絶縁膜を堆積し、該N型拡散層と、P型拡散層に対して1度にコンタクト孔を開孔した後、金属配線を行っていた。

このような半導体装置の製造方法によると、従来、N型MOSFETにおいて、コンタクト孔を開孔する場合、コンタクト孔が拡散層から外れないよう、マスク合わせの余裕を設ける必要があった。近年、電子の微細化が進み、その合わせ余裕が小さく成って来ている。この際、コンタクト孔が拡散層から外れた場合に備えて、例えば、ヒ素イオン、リンイオンを用いたイオン注入技術や、ヒ素、リンを含んだ物質による、固層不純物拡散技術等を用いようとする、いわゆる公知のSAC (Self-Aligned-Contact) 技術がある。しかしこの技術をN型およびP型拡散層が共存するCMOS-LSIに用いようとする場合、両拡散

層に対するコンタクト孔を1度に開孔すると、P型遮断層に特性の異なるN型の例えは、ヒ素、リン等がドーピングされ、コンタクト特性の劣化が生じることになる。また、N型遮断層に対してのSAC形成工程においても、不純物活性化のための熱処理によって、P型遮断層の不純物が気相中の不純物拡散、いわゆるアウトディフュージョンを起こし、P型遮断層表面の不純物濃度が低下し、やはり、コンタクト特性の劣化をもたらしたり、さらに、層間絕縁膜を構成するBPSG(ホウ素-リンケイ酸ガラス)膜から、リンがP型遮断層にドーピングされ、特性劣化が生じてしまう問題がある。

また、例えは、N型遮断層に対して、SAC技術を用いる場合、N型遮断層と、ポリシリコン配線に対するコンタクト孔を同時に開孔し、N型の不純物を拡散した場合、ポリシリコン配線に拡散したN型ドーパント材が、遮断移動し、MOSFET特性に悪影響を及ぼす。その遮断移動した量によっては、MOSFETのゲート強化

遮断層へ拡散することを防ぐことにより、遮断層とのコンタクト特性の劣化を抑え、コンタクト特性の良好なSAC技術を用いた半導体装置の製造方法が提供できる。

#### (作用)

このような製造方法によれば、N型、P型の両遮断層に対して、別々にコンタクト孔を開孔することにより、例えは、N型の遮断層にSAC技術を用いる場合には、先に、N型の遮断層にコンタクト孔を開孔し、N型の不純物をドーピングし、不純物活性化のための熱処理を行なっても、この際、もう一方のP型の遮断層に対しては、コンタクト孔が開孔されていないために、特性の違うN型の不純物が気相中を介してドーピングされたり、熱処理工程の際の熱によって、遮断層表面のアウトディフュージョンが生じたり、層間絶縁膜等から、特性の違う不純物がドーピングされなくなったり、従来、N型、P型両遮断層を同時に開孔していた際に生じるSAC技術を用いていない側の遮断層のコンタクト特性の劣化を防ぐことが

可能を破壊し、動作を不確とする。これは、P型遮断層へのコンタクト孔を開孔し、SAC技術を用いてP型ドーパント材がMOSFETまで拡散された場合にも言える。

#### (発明が解決しようとする課題)

この発明は上記のような点に鑑みてなされたもので、N型遮断層とP型遮断層とを同一基板上に有する半導体装置において、コンタクト特性の良好な前記半導体装置の製造方法を提供することを目的とする。

#### 【発明の構成】

##### (課題を解決するための手段)

この発明による半導体装置にあっては、N型遮断層およびP型遮断層に対するコンタクト孔の開孔を、同時にではなく、別々に開孔することによって、SAC技術による不純物のドーピングの際、該不純物が異なる特性の領域へ拡散することを防ぎ、また、SAC技術の熱処理工程による、他の領域のアウトディフュージョン、さらに、層間絶縁膜等から、該遮断層とは特性の異なる不純物が該

できる。

また、この製造方法によると、ポリシリコンの配線にコンタクト孔を開孔する際にも別々に開孔することにより、ポリシリコンの配線に対する、SAC技術による不純物のドーピングの際、気相中を介してのポリシリコンへの不純物のドーピング、および熱処理工程の熱による該不純物の遮断移動によるMOSFETの特性劣化、あるいは、ゲート強化膜の破壊を防ぐことができる。

#### (実施例)

以下、第1図乃至第4図の製造工程図を参照して、この発明の実施例に係わる半導体装置の製造方法を説明する。

(1) 第1図(a)乃至第1図(c)は、第1の実施例の半導体装置の製造方法を工工程に示す断面図である。

第1図(a)において、N型の半導体基板1-1上に、基板とは反対導電型の井戸状遮断層1-2を形成し、LOCOS法を用いて、素子間分離領域1-3を形成し、積んで、~~電極~~ターゲット配線1-8を

形成する。次に、この電子回分離領域で分離された電子領域の半導体基板11中にN型不純物試験層21をヒ素イオン $\text{As}^{+}$ を加速電圧 $40\text{KeV}$ 、ドーズ量 $5 \times 10^{13}\text{cm}^{-2}$ の条件でイオン注入にて形成し、また、P型不純物試験層22をフッ化ホウ素イオン $\text{BF}_2^{+}$ を加速電圧 $50\text{KeV}$ 、ドーズ量 $5 \times 10^{13}\text{cm}^{-2}$ の条件でイオン注入して形成する。次に、層間絶縁膜として、CVT法により、シリコン酸化膜14、および低温リフロー用の高濃度不純物含有の絶縁膜15、例えばBPSG(ホウ素-リンケイ酸ガラス)膜を堆積形成した後、 $900^{\circ}\text{C}$ で30分間アニールすることにより、前記絶縁膜15の表面平坦化を行う。

次に、第1図(b)において、N型試験層21に対して、図示しないマスクを用いて第1のコンタクト孔31を異方性エッティングにより開孔し、例えばヒ素イオン $\text{As}^{+}$ を加速電圧 $40\text{KeV}$ 、ドーズ量 $5 \times 10^{13}\text{cm}^{-2}$ の条件でイオン注入し、 $850^{\circ}\text{C}$ で30分間アニールすることにより、SACによるN型試験層23を形成する。

リコン配線へも別々にコンタクト孔を開孔することにより、ポリシリコンに対する不純物のドーピング、および熱処理工程の熱による拡散移動によるMOSFETの特性劣化、あるいは、ゲート酸化膜の破壊の恐れがなく、良好なMOSFET特性を持つMOSFETを確保した、良好なコンタクト特性を有する半導体装置が製造できる。

(2) 第2図(a)乃至第2図(c)は、第2の実施例に係わる半導体装置の製造方法を工程順に示す断面図である。

第2図(a)において、P型の半導体基板11上に、基板とは反対導電型の井戸状試験層12を形成し、LOCOS法を用いて、電子回分離膜13を形成し、続いて、ポリシリコン配線18を形成する。次にこの電子回分離領域13で分離された電子回分離領域の半導体基板11中にP型不純物試験層22をフッ化ホウ素イオン $\text{BF}_2^{+}$ を加速電圧 $50\text{KeV}$ 、ドーズ量 $5 \times 10^{13}\text{cm}^{-2}$ の条件でイオン注入にて形成し、また、N型不純物試験層21をヒ素イオン $\text{As}^{+}$ を加速電圧 $40$

次に、第1図(c)において、P型試験層22、およびポリシリコン配線18に対して第2のコンタクト孔32を異方性エッティングにより開孔し、全面にAl<sub>2</sub>Si-Cu-Si合金配線材料をスパッタ法により堆積し、これをバーニングして、配線16を形成し、全面に層間絶縁膜17を堆積する。この時、第2のコンタクト孔32を形成するためのマスク部材により、第1のコンタクト孔31は塞がれている。

このような製造方法によれば、SAC技術を用いる側のコンタクト孔を先に開孔し、そのコンタクト孔に不純物をドーピング後、他のコンタクト孔を開孔することによって、後工程で開孔されたコンタクト孔中に、先工程で開孔されたコンタクト孔中にドーピングされた不純物がドーピングされない。また、不純物活性化のための熱処理工程の熱により、SAC技術を用いない側の試験領域においてアウトディフュージョンが生じることや、層間絶縁膜等からの特性の違う不純物がドーピングされることも起こることなく、さらに、ポリシリ

KeV、ドーズ量 $5 \times 10^{13}\text{cm}^{-2}$ の条件でイオン注入して形成する。次に層間絶縁膜として、CVT法により、シリコン酸化膜14、および低温リフロー用の高濃度不純物含有の絶縁膜15、例えば、BPSG(ホウ素-リンケイ酸ガラス)膜を堆積形成した後、 $900^{\circ}\text{C}$ で30分間アニールすることにより、前記絶縁膜15の表面平坦化を行う。

次に、第2図(b)において、P型試験層22に対して、図示しないマスクを用いて第1のコンタクト孔31を異方性エッティングにより開孔し、例えばフッ化ホウ素イオン $\text{BF}_2^{+}$ を加速電圧 $40\text{KeV}$ 、ドーズ量 $5 \times 10^{13}\text{cm}^{-2}$ の条件でイオン注入し、 $850^{\circ}\text{C}$ で30分間アニールすることにより、SACによるP型試験層24を形成する。

次に、第2図(c)において、N型試験層21、およびポリシリコン配線18に対して、第2のコンタクト孔32を異方性エッティングにより開孔し、全面にAl<sub>2</sub>Si-Cu-Si合金配線材料をスパッタ

造により堆積し、これをバターニングして、配線16を形成し、全面に層間絶縁膜17を堆積する。この時、第2のコンタクト孔32を形成するためのマスク部材により、第1のコンタクト孔31は塞がれている。

このような製造方法によれば、S-A-C技術を用いる側のコンタクト孔を先に開孔することによって、そのコンタクト孔に不純物をドーピング後、他のコンタクト孔を開孔することによって、後工程で開孔されたコンタクト孔中に、先工程で開孔されたコンタクト孔中にドーピングされた不純物がドーピングされない。また、不純物活性化のための熱処理工程の熱により、SAC技術を用いない側の試験領域において、アウトディフュージョンが生じることや、層間絶縁膜等からの特性の違う不純物がドーピングされることも起こることなく、さらに、ポリシリコン配線へも別々にコンタクト孔を開孔することにより、ポリシリコンに対する不純物のドーピング、および熱処理工程の熱による挿入移動による、MOSFETの特性劣化、

注入にて形成し、また、P型不純物試験層22をフッ化ホウ素イオン $BF_2^+$ を加速電圧50KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入して形成する。次に層間絶縁膜として、CVD法により、シリコン酸化膜14、および低圧リフロー用の高濃度不純物含有の絶縁膜15、例えば、BPSCG(ホウ素-リンケイ酸ガラス)膜を形成した後、900°Cで30分間アニールすることにより、前記絶縁膜15の表面平坦化を行う。

第3図(b)において、メモリセルのスイッチング・トランジスタのN型試験層27に対して、図示しないマスクを用いて第1のコンタクト孔31を異方性エッチングにより開孔し、例えばヒ素イオン $As^+$ を加速電圧40KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入し、850°Cで30分間アニールすることにより、SACによるN型試験層23を形成する。

次に、第3図(c)において、N型試験層21、P型試験層22、および~~ポリシリコン~~配線18に

あるいは、ゲート酸化膜の破壊の恐れがなく、良好なMOSFET特性を持つMOSFETを用えた、良好なコンタクト特性を有する半導体装置が製造できる。

(3) 第3図(a)乃至第3図(c)は、第3の実施例の半導体装置の製造方法を工程順に示す断面図である。

第3図(a)において、N型の半導体基板11上に、基板とは反対導電型の井戸状試験層12を形成し、LOCOS法を用いて、素子間分離領域13を形成する。次に、メモリセル領域において、~~チャバシタ~~用のトレンチ溝33を開孔し、~~ゲート酸化膜19~~を熱酸化により形成する。次いで、~~チャバシタ~~用の~~コン~~配線18、メモリセルのスイッチング・トランジスタのゲート電極25、およびメモリセルのチャバシタのゲート電極26を形成する。次に、素子間分離領域13で分離された素子領域の半導体基板11中にN型不純物試験層21、および27をヒ素イオン $As^+$ を加速電圧40KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン

注入にて形成し、また、P型不純物試験層22をフッ化ホウ素イオン $BF_2^+$ を加速電圧50KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入して形成する。次に層間絶縁膜として、CVD法により、シリコン酸化膜14、および低圧リフロー用の高濃度不純物含有の絶縁膜15、例えば、BPSCG(ホウ素-リンケイ酸ガラス)膜を形成した後、900°Cで30分間アニールすることにより、前記絶縁膜15の表面平坦化を行う。

このような製造方法によれば、S-A-C技術を用いる側のコンタクト孔を先に開孔し、そのコンタクト孔に不純物をドーピング後、他のコンタクト孔を開孔することによって、後工程で開孔されたコンタクト孔中に、先工程で開孔されたコンタクト孔中にドーピングされた不純物がドーピングされない。また、不純物活性化のための熱処理工程の熱により、SAC技術を用いない側の試験領域において、アウトディフュージョンが生じることや、層間絶縁膜等からの特性の違う不純物がドーピングされることも起こることなく、さらに、ポリシリコン配線へも別々にコンタクト孔を開孔することにより、ポリシリコンに対する不純物のド

ドーピング、熱処理工程の熱による拡散移動によるMOSFETの特性劣化、あるいは、ゲート酸化膜の破壊の恐れがなく、良好なMOSFET特性を持つMOSFETを開発した、良好なコンタクト特性を有する半導体装置が製造できる。

(4) 第4図(a)乃至第4図(c)は、第4の実施例の半導体装置の製造方法を工程順に示す断面図である。

第4図(a)において、P型の半導体基板11上に、基板とは反対導電型のドア状拡散層12を形成し、LOCOS法を用いて、素子間分離領域13を形成する。次に、メモリセル領域において、キャバシタ用のトレンチ溝33を開孔し、ゲート酸化層19を熱酸化により形成する。続いて、ポリシリコン配線18、メモリセルのスイッチング・トランジスタのゲート電極25、およびメモリセルのキャバシタのゲート電極26を形成する。次に、素子間分離領域13で分離された素子領域の半導体基板11中にP型不純物拡散層22、および28をフッ化ホウ素イオンBF<sub>2</sub><sup>+</sup>を加速電

に対して、第2のコンタクト孔32を異方性エッチングにより開孔し、全面にAl-Cu-Si合金配線材料をスパッタ法により堆積し、これをパターニングして、配線16を形成し、全面に層間絕縁層17を堆積する。この時、第2のコンタクト孔32を形成するためのマスク部材により、第1のコンタクト孔31は塞がれている。

このような製造方法によれば、SAC技術を用いる側のコンタクト孔を先に開孔することにより、そのコンタクト孔に不純物をドーピング後、他のコンタクト孔を開孔することによって、後工程で開孔されたコンタクト孔中に、先工程で開孔されたコンタクト孔中にドーピングされた不純物がドーピングされない。また、不純物活性化のための熱処理工程の熱により、SAC技術を用いない側の拡散領域において、アウトディフュージョンが生じることや、層間絶縁層からの特性の違う不純物がドーピングされることも起こることなく、さらに、ポリシリコン配線へも朔々にコンタクト孔を開孔することにより、ポリシリコンに対する

圧50KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入にて形成し、また、N型拡散層21をヒ素イオンAs<sup>+</sup>を加速電圧40KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入して、形成する。次に、層間絶縁層として、CVD法により、シリコン酸化膜14、および低温リフロー用の高濃度不純物含有の絶縁膜15、例えば、BPSG(ホウ素-リンケイ酸ガラス)膜を形成した後、900℃で30分間アニールすることにより、層間絶縁膜15の表面平坦化を行う。

次に、第4図(b)において、メモリセルのスイッチング・トランジスタのP型拡散層28に対して、図示しないマスクを用いて第1のコンタクト孔31を異方性エッチングにより開孔し、例えばフッ化ホウ素イオンBF<sub>2</sub><sup>+</sup>を加速電圧40KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入し、850℃で30分間アニールすることにより、SACによるP型拡散層24を形成する。

次に、第4図(c)において、N型拡散層21、P型拡散層22、およびポリシリコン配線18に

る不純物のドーピング、熱処理工程の熱による拡散移動によるMOSFETの特性劣化、あるいはゲート酸化膜の破壊の恐れがなく、良好なMOSFET特性を持つMOSFETを開発した、良好なコンタクト特性を有する半導体装置が製造できる。

#### 【発明の効果】

近年、素子の微細化と共に、コンタクト孔の横方向の寸法の縮小が進み、合わせて、コンタクト孔回りのアライメント余裕のスケールダウンにも一段と拍車が掛り、各方面で拡散層に対するSAC(Soft-Alignment-Contact)技術が検討されている。SACを実現する方法としては、両イオン注入法や、層間不純物拡散法があるが、CMOS構造のような、同一基板内に、N型と、P型の拡散層が存在する半導体集積回路において、これらのSAC技術を用いようとする場合、従来のように、N型拡散層、P型拡散層それぞれに対するコンタクト孔を一度に開孔すると、SACにおける不純物のドーピングによって、他の反対導

電型の試験層に特性の異なる不純物がドーピングされてコンタクト特性が劣化する。また、SAC技術の不純物活性化のための熱処理による熱のために、他の試験層にアウトディフュージョンが生じたり、さらに、層間絶縁膜等から、特性の異なる不純物が試験層にドーピングされて、やはりコンタクト特性が劣化する。

第5図に従来のN型、P型試験層に対し、同時にコンタクト孔を開孔し、N型試験層にヒ素イオンによる再イオン注入を用いた場合のコンタクト特性を示す。

第5図(a)は、N型の試験層に対するコンタクト特性で、第5図(b)は、P型の試験層に対するコンタクト特性である。これらから明らかに、P型試験層に対するコンタクト特性には、コンタクト孔同時開孔による、上記のような影響が出ていることが分る。

第6図は、コンタクト・サイズと、コンタクト抵抗の関係をグラフにしたものである。

今後のコンタクト・サイズの微細化を考える上で

は、第6図の曲線(a)に示すように、従来の技術、即ち、SAC技術を用いない場合、コンタクト・サイズの縮小と共に、コンタクト抵抗の増大は避けられない問題となる。しかしながら、第6図の直線(b)に示すように、SAC技術を用いたならば、コンタクト・サイズの縮小に伴うコンタクト抵抗の増大を抑制することが可能であり、次世代デバイスにおける何らかのSAC技術の導入は必須であると考えられる。

この発明によれば、N型と、P型の試験層に対するコンタクト孔を別々に開孔することにより、N型再試験層を形成するための不純物のドーピングや、熱処理を行っても、P型試験層は層間絶縁膜で保護されているために、コンタクト特性は劣化することなく、良好なSAC技術を実現することが可能となる。さらに、ポリシリコン配線へのコンタクト開孔を別々に行うことにより、MOSFETの特性の劣化をも防ぐことが可能となる。

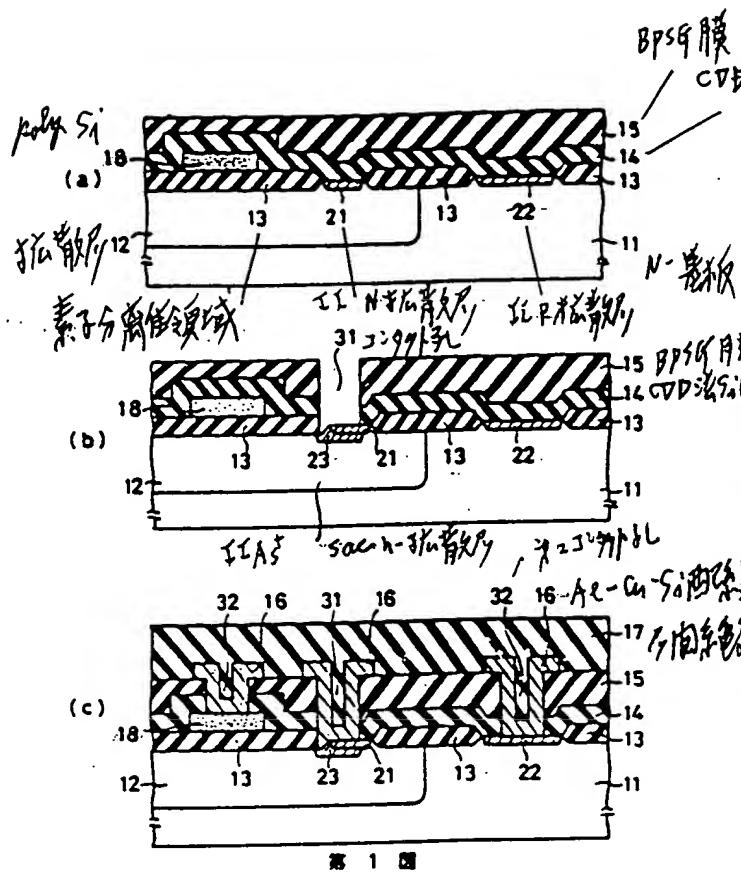
#### 4. 図面の簡単な説明

第1図乃至第4図は、この発明の実施例に係わる半導体装置の製造方法を工程順に示した断面図で、第5図は、従来技術により製造した半導体装置のコンタクト特性を本発明による半導体装置のコンタクト特性と比較して示したグラフで、第6図は、従来技術によるコンタクトと、この発明に係わるSAC技術によるコンタクトのコンタクト・サイズとコンタクト抵抗の関係を示したグラフである。

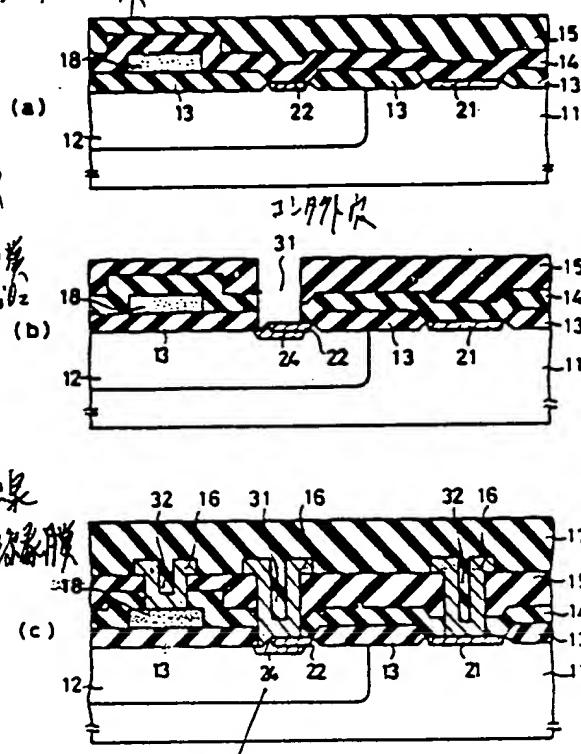
1 1 ……半導体基板、1 2 ……井戸状試験層、  
1 3 ……素子間分離領域、1 4 ……CVD・シリコン酸化膜、1 5 ……BPSG膜、1 6 ……Al-Cu-Si合金配線、1 7 ……層間絶縁膜、  
1 8 ……ポリシリコン配線、1 9 ……ゲート酸化膜、2 1 ……N型不純物試験層、2 2 ……P型不純物試験層、2 3 ……再N型不純物試験層、2 4 ……再P型不純物試験層、2 5 ……トランクスタのゲート電極、2 6 ……キャパシタのゲート電極、  
2 7 ……メモリセルのN型不純物試験層、2 8 …

…メモリセルのP型不純物試験層、3 1 ……第1のコンタクト孔、3 2 ……第2のコンタクト孔、  
3 3 ……トレンチ溝

出願人代理人弁理士鈴江武彦



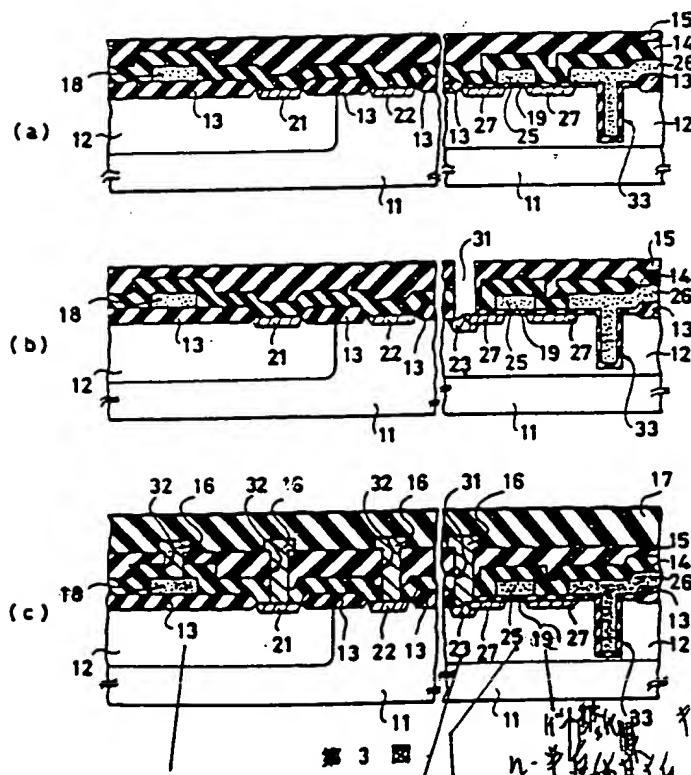
第 1 页



第 2 回

social problems

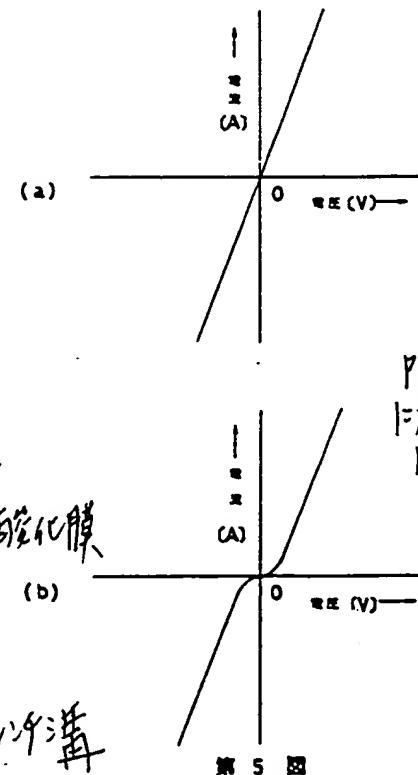
・N 症状: 持続コックス  
慢性



2

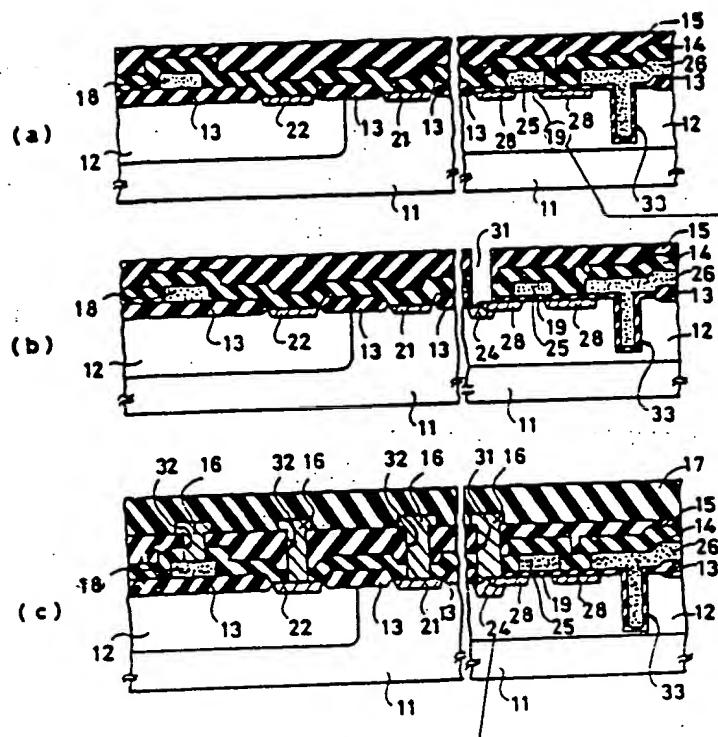
## 素の萬能領域 / パトолог

5001-734714991

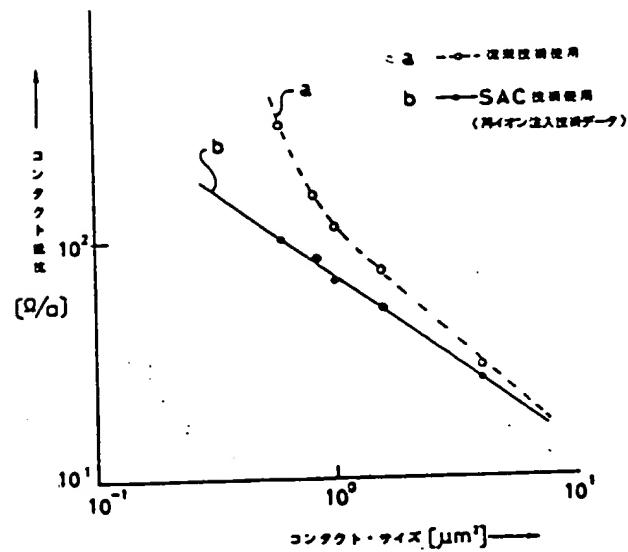


5

- 89 -



第 4



### 第 6 図